**EJ2 RESUELTO**

**Nombre:** Christopher Carmona.

|  |  |  |  |
| --- | --- | --- | --- |
| **SEÑAL** | ISERDESE2 | OSERDESE(sup) | OSERDESE (Inf) |
| CLK (MHz) | 1200 | 1200 | 1200 |
| CLKDIV (MHz) | 75 | 75 | 75 |
| BUS from FABRIC (bit) |  | 1 | 1 |
| BUS to FABRIC (bit) | 1x16 |  |  |
| From PAD or IDelay (bit) | 16 |  |  |
| To T of PAD (bit) |  | 16 |  |
| To O of PAD or ODelay (bit) |  |  | 16 |

**SE PROPONE USAR LOS SERIALIZADORES Y DE-SERIALIZADORES INTEGRADOS EN LOS IOB DE LAS FPGAs DE LA FAMILIA 7-SERIES DE AMD-XILINX PARA IMPLEMENTAR UN BUS DE ALTA VELOCIDAD (1,2Gbps). ESTE BUS ESTÁ COMPUESTO POR UNA LINEA DE DATOS DE TRANSMISIÓN, OTRA DE DATOS DE RECEPCIÓN Y OTRA DE RELOJ. LAS LINEAS DE DATOS NO SON BIDIRECCIONALES. COMPLETAR LOS VALORES DE LA TABLA TENIENDO EN CUENTA QUE LA FRECUENCIA DE RELOJ INTERNO EN LA FPGA ES DE 75 MHz. (2 puntos)**

Diagrama

Descripción generada automáticamenteA diagram of a computer

Description automatically generated